

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 3 月 31 日 (31.03.2005)

PCT

(10) 国際公開番号
WO 2005/029675 A1(51) 国際特許分類⁷: H02J 9/06, 9/00

(21) 国際出願番号: PCT/JP2003/011894

(22) 国際出願日: 2003 年 9 月 18 日 (18.09.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒100-8280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP). 株式会社日立カーエンジニアリング (HITACHI CAR ENGINEERING CO., LTD.) [JP/JP]; 〒312-0062 茨城県ひたちなか市高場 2 4 7 7 番地 Ibaraki (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 松本 昌大 (MATSUMOTO, Masahiro) [JP/JP]; 〒319-1292 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立

製作所 日立研究所内 Ibaraki (JP). 半沢 恵二 (HAN-ZAWA, Keiji) [JP/JP]; 〒312-0062 茨城県ひたちなか市高場 2 4 7 7 番地 株式会社日立カーエンジニアリング内 Ibaraki (JP). 助迫 浩康 (SUKESAKO, Hiroyasu) [JP/JP]; 〒312-0062 茨城県ひたちなか市大字高場 2 5 2 0 番地 株式会社日立製作所オートモティブシステムグループ内 Ibaraki (JP).

(74) 代理人: 春日 譲 (KASUGA, Yuzuru); 〒103-0001 東京都中央区日本橋小伝馬町 1-3 共同ビル(新小伝馬町) 7 階 Tokyo (JP).

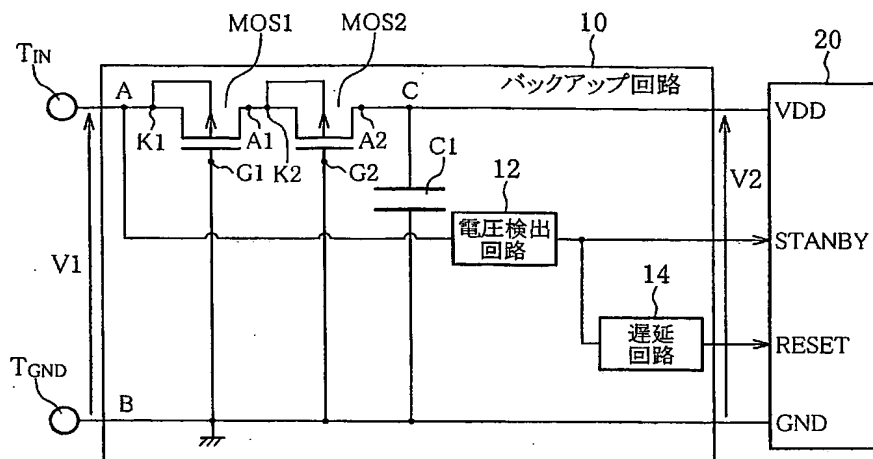
(81) 指定国 (国内): AE, AG, AL, AU, BA, BB, BR, BZ, CA, CN, CO, CR, CU, DM, DZ, EC, GD, GE, HR, HU, ID, IL, IN, IS, JP, KR, LC, LK, LR, LT, LV, MA, MG, MK, MN, MX, NI, NO, NZ, OM, PH, PL, RO, SC, SG, SL, TN, TT, UA, US, UZ, VC, VN, YU, ZA.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,

[続葉有])

(54) Title: BACKUP CIRCUIT

(54) 発明の名称: バックアップ回路



10... BACKUP CIRCUIT

12... VOLTAGE DETECTION CIRCUIT

14... DELAY CIRCUIT

(57) Abstract: There is provided a small size backup circuit which can be created by the standard CMOS process. The backup circuit (10) is arranged between a digital circuit (44) including a storage circuit and a power supply terminal (TIN, TGND) for supplying power to this digital circuit. Between the power supply terminal (TIN, TGND) and a backup capacitor (C1), there are provided MOS transistors (MOS1, MOS2). The MOS transistors (MOS1, MOS2) serve as resistors when power is normally supplied to the power supply terminal and as diodes for inverting the direction from the digital circuit to the power supply terminal when the power supply is cut off.

[続葉有])



AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明の目的は、標準CMOSプロセスで構成することができ、回路規模の小さなバックアップ回路を提供することにある。バックアップ回路(10)は、記憶回路を含むデジタル回路(44)とこのデジタル回路に電源を供給する電源供給端子(TIN,TGND)との間に配置される。電源供給端子(TIN,TGND)とバックアップコンデンサ(C1)との間には、直列接続されたMOSトランジスタ(MOS1,MOS2)が配置される。MOSトランジスタ(MOS1,MOS2)は、電源供給端子に電源が正常に供給されている時には抵抗として働き、電源が遮断された時には前記デジタル回路から前記電源供給端子への方向を逆方向とするダイオードとして働く。